

57810-020
MART 19, 2001
NOVL et al.

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月22日

出 願 番 号

Application Number:

特願2000-079232

出 願 人

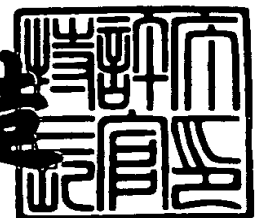
Applicant (s):

三洋電機株式会社

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3003100

【書類名】 特許願

【整理番号】 NBC1002038

【提出日】 平成12年 3月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

 【氏名】 井上 恭典

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

 【氏名】 秋月 誠

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

 【氏名】 小椋 功

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

 【氏名】 坂井 篤

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100104433

 【弁理士】

 【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数の半導体チップが支持基板上に設置された半導体装置であって、

前記半導体チップのうち少なくとも 1 つは、

前記半導体チップ単独での動作状態を試験するために用いられ、第 1 静電破壊対策用回路を有する第 1 入出力端子と、

前記半導体チップを前記支持基板に接続するために用いられ、第 2 静電破壊対策用回路を有する第 2 入出力端子と、

前記第 1 入出力端子および前記第 2 入出力端子以外の第 3 入出力端子とを備え

、
前記複数の半導体チップ間を接続する際には、前記第 3 入出力端子を用いて接続する、半導体装置。

【請求項 2】 前記第 3 入出力端子は、静電破壊対策用回路を含まない、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 3 入出力端子は、第 3 静電破壊対策用回路を含み、

前記第 3 静電破壊対策用回路を構成するトランジスタは、前記第 1 および第 2 静電破壊対策用回路を構成するトランジスタよりも小さい、請求項 1 に記載の半導体装置。

【請求項 4】 前記第 3 静電破壊対策用回路を構成するトランジスタのゲート幅は、前記第 1 および第 2 静電破壊対策用回路を構成するトランジスタのゲート幅よりも小さい、請求項 3 に記載の半導体装置。

【請求項 5】 前記第 3 入出力端子は、第 3 静電破壊対策用回路を含み、

前記第 3 静電破壊対策用回路は、ダイオードによって構成されており、

前記第 1 および第 2 静電破壊対策用回路は、トランジスタによって構成されている、請求項 1 に記載の半導体装置。

【請求項 6】 複数の半導体チップが支持基板上に設置された半導体装置であって、

前記半導体チップのうち少なくとも1つは、
一方の入出力端子および他方の入出力端子と、
前記一方の入出力端子に接続される一方の静電破壊対策用回路と、
前記一方の入出力端子と前記一方の静電破壊対策用回路との間に接続され、前記他方の入出力端子によりオンオフ制御されるスイッチ手段とを備えた、半導体装置。

【請求項7】 前記スイッチ手段は、前記半導体チップの製造工程中には、前記他方の入出力端子に電圧を印加しないことによりオン状態に設定され、前記半導体チップ製造後のチップ間接続工程完了後には、前記他方の入出力端子に所定の電圧を印加することによりオフ状態に設定される、請求項6に記載の半導体装置。

【請求項8】 前記一方の静電破壊対策用回路は、第1および第2トランジスタを含み、

前記スイッチ手段は、
前記第1トランジスタと前記一方の入出力端子との間に接続され、前記他方の入出力端子に電圧が印加されない時にオン状態になるとともに、前記他方の入出力端子に所定の電圧が印加された時にオフ状態になる第3トランジスタと、

前記第2トランジスタと前記一方の入出力端子との間に接続され、前記他方の入出力端子に電圧が印加されない時にオン状態になるとともに、前記他方の入出力端子に所定の電圧が印加された時にオフ状態になる第4トランジスタとを含む、請求項6または7に記載の半導体装置。

【請求項9】 前記他方の入出力端子には、他方の静電破壊対策用回路が接続されている、請求項6～8のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に、複数の半導体チップが支持基板上に設置された半導体装置に関する。

【0002】

【従来の技術】

近年、絶縁基板上に異なる機能を有する複数の半導体チップを高密度に実装して1つの半導体装置として機能するようにシステム化したマルチチップモジュール(MCM:Multi Chip Module)が開発されている。これらは、たとえば、特開平9-232505号などに開示されている。

【0003】

図15は、従来の半導体装置(マルチチップモジュール)を示した概略図である。図15を参照して、従来の半導体装置では、絶縁基板からなる支持基板103上に、DRAMチップ101と、ロジックチップ102と、他の機能チップ105および106とが設置されている。支持基板103の表面の外周部分には、複数の入出力端子103aが所定の間隔を隔てて設けられている。

【0004】

また、DRAMチップ101、ロジックチップ102、チップ105および106の上面には、それぞれ、複数の入出力端子101a、102a、105aおよび106aが設けられている。また、DRAMチップ101とロジックチップ102とは、入出力端子101aおよび102aを配線107により接続することによって直接接続されている。

【0005】

また、DRAMチップ101は、配線108によって支持基板103と接続されており、ロジックチップ102は、配線109によって支持基板103と接続されている。また、チップ105は、配線110によってDRAMチップ101と接続されており、チップ106は、配線111および112によって、それぞれ、ロジックチップ102および支持基板103と接続されている。

【0006】

図16は、図15に示した従来の半導体装置(マルチチップモジュール)における半導体チップの入出力回路の構成を示した回路図である。図16を参照して、従来の半導体装置では、DRAMチップ101およびロジックチップ102の全ての入出力端子101a(102a)に、静電破壊防止用トランジスタ201および202からなる静電破壊対策用回路が接続されている。また、入出力端子

1 0 1 a (1 0 2 a) は、抵抗 2 0 3 を介してチップ内部の集積回路（図示せず）に接続されている。

【 0 0 0 7 】

【発明が解決しようとする課題】

上記した従来の半導体装置では、図 1 6 に示したように、DRAMチップ 1 0 1 およびロジックチップ 1 0 2 の全ての入出力端子 1 0 1 a (1 0 2 a) に、静電破壊防止用トランジスタ 2 0 1 および 2 0 2 が接続されているので、その静電破壊防止用トランジスタ 2 0 1 および 2 0 2 の寄生容量によって、チップ外部との信号伝達速度が遅くなるという問題点があった。

【 0 0 0 8 】

また、DRAMチップ 1 0 1 およびロジックチップ 1 0 2 の全ての入出力端子 1 0 1 a (1 0 2 a) に、静電破壊防止用トランジスタ 2 0 1 および 2 0 2 が接続されているので、その分、DRAMチップ 1 0 1 およびロジックチップ 1 0 2 のチップ面積が増大するという問題点もあった。

【 0 0 0 9 】

この発明は、上記のような課題を解決するためになされたものであり、

この発明の一つの目的は、信号の伝達速度を向上させることが可能な半導体装置を提供することである。

【 0 0 1 0 】

この発明のもう一つの目的は、上記の半導体装置において、半導体チップの面積を減少させることである。

【 0 0 1 1 】

【課題を解決するための手段】

請求項 1 における半導体装置は、複数の半導体チップが支持基板上に設置された半導体装置であって、半導体チップのうち少なくとも 1 つは、第 1 静電破壊対策用回路を有する第 1 入出力端子と、第 2 静電破壊対策用回路を有する第 2 入出力端子と、第 1 入出力端子および第 2 入出力端子以外の第 3 入出力端子とを備えている。第 1 入出力端子は、半導体チップ単独での動作状態を試験するために用いられるものである。また、第 2 入出力端子は、半導体チップを支持基板に接続

するために用いられるものである。そして、複数の半導体チップ間を接続する際には、第 3 入出力端子を用いて接続する。

【 0 0 1 2 】

請求項 1 では、このように構成することによって、複数の半導体チップ間を接続する際に、試験用の第 1 入出力端子に設けられている第 1 静電破壊対策用回路および支持基板接続用の第 2 入出力端子に設けられている第 2 静電破壊対策用回路に付加されている寄生容量を排除することができ、その結果、信号伝達速度を向上させることができる。

【 0 0 1 3 】

請求項 2 における半導体装置は、請求項 1 の構成において、第 3 入出力端子は、静電破壊対策用回路を含まない。

【 0 0 1 4 】

請求項 2 では、このように構成することによって、半導体チップ間の接続を、静電破壊対策用回路を含まない第 3 入出力端子により行うことができる。これにより、半導体チップ間の経路では静電破壊対策用回路に付加されている寄生容量を完全に排除することができ、その結果、半導体チップ間の信号伝達速度を向上させることができる。なお、静電破壊が起こりやすいのは、試験時および半導体装置完成後であるので、試験用および支持基板接続用の第 1 および第 2 入出力端子以外の第 3 入出力端子が静電破壊対策用回路を含んでいなくても、それほど問題にならない。また、請求項 2 では、上記のように、第 3 入出力端子に静電破壊対策用回路が接続されていないので、その分、半導体チップの面積を削減することができる。これにより、半導体チップの製造コストも低減することができる。

【 0 0 1 5 】

請求項 3 における半導体装置は、請求項 1 の構成において、第 3 入出力端子は、第 3 静電破壊対策用回路を含み、第 3 静電破壊対策用回路を構成するトランジスタは、第 1 および第 2 静電破壊対策用回路を構成するトランジスタよりも小さい。

【 0 0 1 6 】

請求項 3 では、上記のように、静電破壊が起こりにくい半導体チップ間を接続

する第3入出力端子の第3静電破壊対策用回路を構成するトランジスタの大きさを、静電破壊が起こりやすい試験用および支持基板接続用の第1および第2静電破壊対策用回路を構成するトランジスタよりも小さく構成することによって、半導体チップ間を接続する第3入出力端子の第3静電破壊対策用回路の寄生容量を減少させることができる。その結果、半導体チップ間の信号伝達速度を向上させることができる。また、第3静電破壊対策用回路を構成するトランジスタを小さくすることによって、その分、半導体チップの面積を削減することができる。

【0017】

請求項4における半導体装置は、請求項3の構成において、第3静電破壊対策用回路を構成するトランジスタのゲート幅は、第1および第2静電破壊対策用回路を構成するトランジスタのゲート幅よりも小さい。

【0018】

請求項4では、このように、第3静電破壊対策用回路を構成するトランジスタのゲート幅を、第1および第2静電破壊対策用回路を構成するトランジスタのゲート幅よりも小さくすることによって、容易に第3静電破壊対策用回路の寄生容量を減少させることができ、その結果、半導体チップ間の信号伝達速度を向上させることができる。

【0019】

請求項5における半導体装置は、請求項1の構成において、第3入出力端子は、第3静電破壊対策用回路を含み、第3静電破壊対策用回路は、ダイオードによって構成されており、第1および第2静電破壊対策用回路は、トランジスタによって構成されている。

【0020】

請求項5では、このように、静電破壊が起こりにくい半導体チップ間を接続する第3入出力端子の第3静電破壊対策用回路を、寄生容量の少ないダイオードによって構成し、静電破壊が起こりやすい試験用および支持基板接続用の第1および第2静電破壊対策用回路を、寄生容量の大きいトランジスタによって構成することにより、半導体チップ間を接続する第3入出力端子の第3静電破壊対策用回路の寄生容量を減少させることができる。その結果、半導体チップ間の信号伝達

速度を向上させることができる。また、ダイオードからなる第3 静電破壊対策用回路は、トランジスタからなる第1 および第2 静電破壊対策用回路に比べて素子面積が小さいので、半導体チップ面積を削減することができる。なお、ダイオードからなる第3 静電破壊対策用回路は、トランジスタからなる第1 および静電破壊対策用回路に比べて耐性は低い、半導体チップ間では、静電破壊が起こりにくいので問題はない。

【 0 0 2 1 】

請求項6 における半導体装置は、複数の半導体チップが支持基板上に形成された半導体装置であって、半導体チップのうち少なくとも1 つは、一方の入出力端子および他方の入出力端子と、一方の入出力端子に接続される一方の静電破壊対策用回路と、一方の入出力端子と一方の静電破壊対策用回路との間に接続され、他方の入出力端子によりオンオフ制御されるスイッチ手段とを備える。

【 0 0 2 2 】

請求項6 では、上記のように構成することにより、他方の入出力端子によりオンオフ制御されるスイッチ手段を用いて、静電破壊対策が必要な半導体チップの製造工程では静電破壊対策用回路をオンし、静電破壊対策が必要でなくなるチップ完成後のチップ間接続工程終了後では静電破壊対策用回路をオフに切り換えることができる。これにより、チップ間接続工程終了後では静電破壊対策用回路の寄生容量を削除することができ、その結果、信号伝達速度を向上することができる。

【 0 0 2 3 】

請求項7 における半導体装置は、請求項6 の構成において、スイッチ手段は、半導体チップの製造工程中には、他方の入出力端子に電圧を印加しないことによりオン状態に設定され、半導体チップ製造後のチップ間接続工程完了後には、他方の入出力端子に所定の電圧を印加することによりオフ状態に設定される。

【 0 0 2 4 】

請求項7 では、上記のように他方の入出力端子に印加する電圧を切り換えることによって、半導体チップの製造工程中とチップ間接続工程完了後とでスイッチ手段のオンオフを切り換えることができる。

【 0 0 2 5 】

請求項 8 における半導体装置は、請求項 6 または 7 の構成において、一方の静電破壊対策用回路は、第 1 および第 2 トランジスタを含み、スイッチ手段は、第 3 トランジスタと、第 4 トランジスタとを含む。第 3 トランジスタは、第 1 トランジスタと一方の入出力端子との間に接続され、他方の入出力端子に電圧が印加されない時にオン状態になるとともに、他方の入出力端子に所定の電圧が印加された時にオフ状態になる。第 4 トランジスタは、第 2 トランジスタと一方の入出力端子との間に接続され、他方の入出力端子に電圧が印加されない時にオン状態になるとともに、他方の入出力端子に所定の電圧が印加された時にオフ状態になる。

【 0 0 2 6 】

請求項 8 では、上記のようにスイッチ手段を構成することにより、半導体チップの製造工程中には、他方の入出力端子に電圧を印加しないことにより第 3 および第 4 トランジスタがオン状態に設定されるので、第 1 および第 2 トランジスタからなる静電破壊対策用回路をオン状態にすることができる。また、半導体チップ製造後のチップ間接続工程完了後には、他方の入出力端子に所定の電圧を印加することにより、第 3 および第 4 トランジスタがオフ状態に設定されるので、第 1 および第 2 トランジスタからなる静電破壊対策用回路をオフ状態にすることができる。

【 0 0 2 7 】

請求項 9 における半導体装置は、請求項 6 ～ 8 のいずれかの構成において、他方の入出力端子には、他方の静電破壊対策用回路が接続されている。

【 0 0 2 8 】

請求項 9 では、このように構成することによって、他方の入出力端子の静電破壊を防止することができる。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

【 0 0 3 0 】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態による半導体装置（マルチチップモジュール）を示した概略図であり、図 2 ～図 4 は、図 1 に示した第 1 実施形態による半導体装置の構成を説明するための回路図である。

【 0 0 3 1 】

図 1 ～図 4 を参照して、以下に第 1 実施形態による半導体装置について説明する。

【 0 0 3 2 】

まず、図 1 を参照して、この第 1 実施形態による半導体装置（マルチチップモジュール）では、絶縁基板からなる支持基板 3 上に、DRAMチップ 1 と、ロジックチップ 2 と、他の機能チップ 5 および 6 とが設置されている。なお、DRAMチップ 1 およびロジックチップ 2 が、本発明の「半導体チップ」に相当する。

【 0 0 3 3 】

支持基板 3 の表面の外周には、複数の入出力端子 3 a が所定の間隔を隔てて設けられている。また、DRAMチップ 1、ロジックチップ 2、チップ 5 および 6 の上面には、それぞれ、複数の入出力端子 1 a、1 b、1 c、2 a、2 b、2 c、5 a および 6 a が設けられている。

【 0 0 3 4 】

ここで、入出力端子 1 b および 2 b は、支持基板 3 と接続するための入出力端子である。また、入出力端子 1 c および 2 c は、チップ完成後のチップ単独での動作状態を確認するための試験用の入出力端子である。また、入出力端子 1 a および 2 a は、上記した試験用および基板への接続用以外の入出力端子である。なお、入出力端子 1 c および 2 c は、本発明の「第 1 入出力端子」に相当し、入出力端子 1 b および 2 b は、本発明の「第 2 入出力端子」に相当し、入出力端子 1 a および 2 a は、本発明の「第 3 入出力端子」に相当する。

【 0 0 3 5 】

この第 1 実施形態では、図 2 に示すように、試験用の入出力端子 1 c および 2 c には、静電破壊防止用トランジスタ 2 1 および 2 2 からなる静電破壊対策用回路と抵抗 2 3 とが接続されている。また、図 4 に示すように、支持基板への接続

用の入出力端子 1 b および 2 b にも、静電破壊防止用トランジスタ 2 1 および 2 2 からなる静電破壊対策用回路と抵抗 2 3 とが接続されている。

【 0 0 3 6 】

これに対して、試験用および支持基板接続用以外の入出力端子 1 a および 2 a には、図 3 に示すように、静電破壊防止用トランジスタが接続されておらず、抵抗 2 3 のみ接続されている。この第 1 実施形態では、この静電破壊防止用トランジスタが接続されていない入出力端子 1 a および 2 a を用いて、DRAMチップ 1 とロジックチップ 2 との間を接続している。すなわち、DRAMチップ 1 の入出力端子 1 a とロジックチップ 2 の入出力端子 2 a とを、配線 7 によって接続する。

【 0 0 3 7 】

なお、DRAMチップ 1 とチップ 5 とは、配線 1 0 によって接続されており、DRAMチップ 1 とチップ 6 とは、配線 1 3 によって接続されている。また、DRAMチップ 1 の入出力端子 1 b は、配線 8 によって支持基板 3 の入出力端子 3 a と接続されており、ロジックチップ 2 の入出力端子 2 b は、配線 9 によって支持基板 3 の入出力端子 3 a と接続されている。また、チップ 6 の入出力端子 6 b は、配線 1 2 によって支持基板 3 の入出力端子 3 a と接続されている。なお、この第 1 実施形態における配線は、図 1 に示すように、2 層の配線である。

【 0 0 3 8 】

第 1 実施形態では、上記のように、DRAMチップ 1 とロジックチップ 2 との接続を、試験用および支持基板接続用以外の入出力端子 1 a および 2 a により行うことによって、試験用および支持基板接続用の静電破壊対策用回路の寄生容量を、DRAMチップ 1 とロジックチップ 2 とのチップ間経路では排除することができる。これに加えて、入出力端子 1 a および 2 a は、静電破壊対策用回路を含まないので、DRAMチップ 1 とロジックチップ 2 とのチップ間の経路では静電破壊対策用回路の寄生容量を完全に排除することができる。その結果、DRAMチップ 1 とロジックチップ 2 との間の信号伝達速度を向上させることができる。

【 0 0 3 9 】

なお、静電破壊が起こりやすいのは、試験時および半導体装置完成後であるの

で、試験用および支持基板接続用の入出力端子以外の入出力端子 1 a および 2 a に静電破壊対策用回路が接続されていなくても、それほど、問題にならない。

【 0 0 4 0 】

また、第 1 実施形態では、上記のように、入出力端子 1 a および 2 a に静電破壊対策用回路が接続されていないので、その分、DRAMチップ 1 およびロジックチップ 2 の面積を削減することができる。これにより、DRAMチップ 1 およびロジックチップ 2 の製造コストも低減することができる。

【 0 0 4 1 】

(第 2 実施形態)

図 5 は、本発明の第 2 実施形態による半導体装置（マルチチップモジュール）を示した概略図であり、図 6 ～図 8 は、図 5 に示した第 2 実施形態による半導体装置の構成を説明するための回路図である。

【 0 0 4 2 】

図 5 ～図 8 を参照して、この第 2 実施形態では、上記した第 1 実施形態とは異なり、チップ間の接続を、小さいゲート電極幅を有する静電破壊防止用トランジスタからなる静電破壊対策用回路を含む入出力端子により行う。なお、その他の構成は、第 1 実施形態とほぼ同様である。

【 0 0 4 3 】

具体的には、この第 2 実施形態による半導体装置では、図 5 に示すように、絶縁基板からなる支持基板 3 上に、DRAMチップ 2 1 と、ロジックチップ 2 2 と、他の機能チップ 5 および 6 とが設置されている。そして、DRAMチップ 2 1 およびロジックチップ 2 2 の上面には、それぞれ、複数の入出力端子 2 1 a、2 1 b、2 1 c、2 2 a、2 2 b、および 2 2 c が設けられている。

【 0 0 4 4 】

ここで、入出力端子 2 1 b および 2 2 b は、支持基板 3 と接続するための入出力端子である。また、入出力端子 2 1 c および 2 2 c は、チップ完成後のチップ単独での動作状態を確認するための試験用の入出力端子である。また、入出力端子 2 1 a および 2 2 a は、上記した試験用および支持基板接続用以外の入出力端子である。なお、入出力端子 2 1 c および 2 2 c は、本発明の「第 1 入出力端子

」に相当し、入出力端子 2 1 b および 2 2 b は、本発明の「第 2 入出力端子」に相当し、入出力端子 2 1 a および 2 2 a は、本発明の「第 3 入出力端子」に相当する。

【 0 0 4 5 】

この第 2 実施形態では、図 6 に示すように、試験用の入出力端子 2 1 c および 2 2 c に、静電破壊防止用トランジスタ 4 1 および 4 2 からなる静電破壊対策用回路と抵抗 4 3 とが接続されている。また、図 8 に示すように、支持基板接続用の入出力端子 2 1 b および 2 2 b にも、静電破壊防止用トランジスタ 4 1 および 4 2 からなる静電破壊対策用回路と抵抗 4 3 とが接続されている。

【 0 0 4 6 】

これに対して、試験用および支持基板接続用以外の入出力端子 2 1 a および 2 2 a には、図 7 に示すように、静電破壊防止用トランジスタ 4 1 および 4 2 よりも大きさの小さい静電破壊防止用トランジスタ 4 4 および 4 5 からなる静電破壊対策用回路が接続されている。すなわち、静電破壊防止用トランジスタ 4 4 および 4 5 を構成するゲート電極の幅は、静電破壊防止用トランジスタ 4 1 および 4 2 を構成するゲート電極の幅よりも小さくなるように形成されている。

【 0 0 4 7 】

なお、試験用および支持基板接続用の静電破壊防止用トランジスタ 4 1 および 4 2 からなる静電破壊対策用回路は、本発明の「第 1 および第 2 静電破壊対策用回路」に相当する。また、静電破壊防止用トランジスタ 4 4 および 4 5 からなる静電破壊対策用回路は、本発明の「第 3 静電破壊対策用回路」に相当する。

【 0 0 4 8 】

そして、この第 2 実施形態では、上記した小さいゲート電極幅を有する静電破壊防止用トランジスタ 4 4 および 4 5 が接続された入出力端子 2 1 a および 2 2 a を用いて、DRAMチップ 2 1 とロジックチップ 2 2 との間を接続している。すなわち、DRAMチップ 2 1 の入出力端子 2 1 a とロジックチップ 2 2 の入出力端子 2 2 a とを、配線 7 によって接続する。

【 0 0 4 9 】

第 2 実施形態では、上記のように、DRAMチップ 2 1 とロジックチップ 2 2

との接続を、小さいゲート電極幅を有する静電破壊防止用トランジスタ44および45を含む入出力端子21aおよび22aにより行うことによって、DRAMチップ21とロジックチップ22とのチップ間経路では静電破壊対策用回路の寄生容量を小さくすることができる。その結果、チップ間の信号伝達速度を向上させることができる。

【0050】

なお、静電破壊が起こりやすいのは、試験時および半導体装置完成後であるので、試験用および支持基板接続用の入出力端子以外の入出力端子21aおよび22aの静電破壊対策用回路を小さくしても、それほど、問題にならない。

【0051】

また、第2実施形態では、上記のように、入出力端子21aおよび22aには、小さいゲート電極幅を有する静電破壊防止用トランジスタ44および45が接続されているので、その分、DRAMチップ21およびロジックチップ22の面積を削減することができる。

【0052】

(第3実施形態)

図9は、本発明の第3実施形態による半導体装置（マルチチップモジュール）を示した概略図であり、図10～図12は、図9に示した第3実施形態による半導体装置の構成を説明するための回路図である。

【0053】

この第3実施形態は、上記した第1および第2実施形態とは異なり、チップ間の接続を、ダイオードからなる静電破壊対策用回路を含む入出力端子により行う。なお、その他の構成は、第2実施形態とほぼ同様である。

【0054】

具体的には、この第3実施形態による半導体装置では、図9に示すように、絶縁基板からなる支持基板3上に、DRAMチップ51と、ロジックチップ52と、他の機能チップ5および6とが設置されている。そして、DRAMチップ51およびロジックチップ52の上面には、それぞれ、複数の入出力端子51a、51b、51c、52a、52b、および52cが設けられている。

【 0 0 5 5 】

ここで、入出力端子 5 1 b および 5 2 b は、支持基板 3 と接続するための入出力端子である。また、入出力端子 5 1 c および 5 2 c は、チップ完成後のチップ単独での動作状態を確認するための試験用の入出力端子である。また、入出力端子 5 1 a および 5 2 a は、上記した試験用および基板への接続用以外の入出力端子である。なお、入出力端子 5 1 c および 5 2 c は、本発明の「第 1 入出力端子」に相当し、入出力端子 5 1 b および 5 2 b は、本発明の「第 2 入出力端子」に相当し、入出力端子 5 1 a および 5 2 a は、本発明の「第 3 入出力端子」に相当する。

【 0 0 5 6 】

この第 3 実施形態では、図 1 0 に示すように、試験用の入出力端子 5 1 c および 5 2 c には、静電破壊防止用トランジスタ 6 1 および 6 2 からなる静電破壊対策用回路と抵抗 6 3 とが接続されている。また、図 1 2 に示すように、支持基板接続用の入出力端子 5 1 b および 5 2 b にも、静電破壊防止用トランジスタ 6 1 および 6 2 からなる静電破壊対策用回路と抵抗 6 3 とが接続されている。

【 0 0 5 7 】

これに対して、試験用および支持基板接続用以外の入出力端子 5 1 a および 5 2 a には、図 1 1 に示すように、ダイオード 6 4 からなる静電破壊対策用回路と抵抗 6 3 とが接続されている。なお、ダイオード 6 4 からなる静電破壊対策用回路は、静電破壊防止用トランジスタ 6 1 および 6 2 からなる静電破壊対策用回路に比べて、素子面積が小さいとともに、寄生容量が小さく、かつ、耐性が低い。

【 0 0 5 8 】

そして、この第 3 実施形態では、このダイオード 6 4 からなる静電破壊対策用回路が接続された入出力端子 5 1 a および 5 2 a を用いて、DRAMチップ 5 1 とロジックチップ 5 2 との間を接続している。すなわち、DRAMチップ 5 1 の入出力端子 5 1 a とロジックチップ 5 2 の入出力端子 5 2 a とを、配線 7 によって接続する。

【 0 0 5 9 】

第 3 実施形態では、上記のように、DRAMチップ 5 1 とロジックチップ 5 2

との接続を、寄生容量の小さいダイオード 6 4 からなる静電破壊対策用回路を含む入出力端子 5 1 a および 5 2 a により行うことによって、DRAM チップ 5 1 とロジックチップ 5 2 とのチップ間経路では静電破壊対策用回路の寄生容量を小さくすることができる。その結果、DRAM チップ 5 1 とロジックチップ 5 2 との間の信号伝達速度を向上させることができる。

【 0 0 6 0 】

なお、静電破壊が起こりやすいのは、試験時および半導体装置完成後であるので、試験用および支持基板接続用の入出力端子以外の入出力端子 5 1 a および 5 2 a の静電破壊対策用回路を耐性の低いダイオード 6 4 により構成しても、それほど、問題にならない。

【 0 0 6 1 】

また、第 3 実施形態では、上記のように、入出力端子 5 1 a および 5 2 a には、素子面積の小さいダイオード 6 4 からなる静電破壊対策用回路が接続されているので、その分、DRAM チップ 5 1 およびロジックチップ 5 2 の面積を削減することができる。

【 0 0 6 2 】

(第 4 実施形態)

図 1 3 は、本発明の第 4 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【 0 0 6 3 】

この第 4 実施形態では、上記した第 1 ～第 3 実施形態とは異なり、入出力端子の静電破壊対策用回路をオンオフするためのスイッチを設けている。

【 0 0 6 4 】

具体的には、この第 4 実施形態による半導体装置では、図 1 3 に示すように、入出力端子 7 1 a に、静電破壊防止用トランジスタ 7 2 および 7 3 からなる静電破壊対策用回路と抵抗 7 4 とが接続されている。そして、入出力端子 7 1 a と、静電破壊防止用トランジスタ 7 2 および 7 3 からなる静電破壊対策用回路との間には、静電破壊防止スイッチ 7 5 が接続されている。また、静電破壊防止スイッチ 7 5 には、静電破壊防止スイッチ 7 5 をチップ外部からオンオフ制御するため

のスイッチ制御用入出力端子 7 1 b が接続されている。

【 0 0 6 5 】

なお、入出力端子 7 1 a は、本発明の「一方の入出力端子」に相当し、スイッチ制御用入出力端子 7 1 b は、本発明の「他方の入出力端子」に相当する。また、静電破壊防止スイッチ 7 5 は、本発明の「スイッチ手段」に相当する。また、静電破壊防止用トランジスタ 7 2 および 7 3 は、それぞれ、本発明の「第 1 トランジスタ」および「第 2 トランジスタ」に相当する。

【 0 0 6 6 】

また、静電破壊防止スイッチ 7 5 は、インバータ 7 5 a と、Pチャネルトランジスタ 7 5 b およびNチャネルトランジスタ 7 5 c と、Pチャネルトランジスタ 7 5 d およびNチャネルトランジスタ 7 5 e とを含む。Pチャネルトランジスタ 7 5 b およびNチャネルトランジスタ 7 5 c は、各々のソースおよびドレインが互いに接続されている。また、Pチャネルトランジスタ 7 5 d およびNチャネルトランジスタ 7 5 e は、各々のソースおよびドレインが互いに接続されている。なお、Pチャネルトランジスタ 7 5 b および 7 5 d が、それぞれ、本発明の「第 3 トランジスタ」および「第 4 トランジスタ」に相当する。

【 0 0 6 7 】

インバータ 7 5 a は、スイッチ制御用入出力端子 7 1 b からNチャネルトランジスタ 7 5 c および 7 5 e に至る経路に配置されており、スイッチ制御用入出力端子 7 1 b に印加される電圧を反転する。また、Pチャネルトランジスタ 7 5 b およびNチャネルトランジスタ 7 5 c は、静電破壊防止用トランジスタ 7 2 と入出力端子 7 1 a との間に接続されており、Pチャネルトランジスタ 7 5 d およびNチャネルトランジスタ 7 5 e は、静電破壊防止用トランジスタ 7 3 と入出力端子 7 1 a との間に接続されている。

【 0 0 6 8 】

また、スイッチ制御用入出力端子 7 1 b と、静電破壊防止スイッチ 7 5 との間には、静電破壊防止用トランジスタ 8 1 および 8 2 からなる静電破壊対策用回路と抵抗 8 3 とが接続されている。この静電破壊対策用回路は、本発明の「他方の静電破壊対策用回路」に相当する。

【 0 0 6 9 】

この第 4 実施形態の動作としては、静電破壊対策が必要であるチップの製造工程中は、スイッチ制御用入出力端子 7 1 b に電圧が印加されない。入出力端子 7 1 a に外部から正の過渡電圧が入力されたときは、P チャンネルトランジスタ 7 5 b および P チャンネルトランジスタ 7 5 d がオン状態になる。また、入出力端子 7 1 a に外部から負の過渡電圧が入力されたときは、N チャンネルトランジスタ 7 5 c および N チャンネルトランジスタ 7 5 e がオン状態になる。これにより、いずれの場合も、静電破壊防止用トランジスタ 7 2 および 7 3 からなる静電破壊対策用回路がオン状態になる。

【 0 0 7 0 】

また、半導体チップ製造後のチップ間接続工程完了後には、スイッチ制御用入出力端子 7 1 b に電源電圧 (VDD) を印加することにより、P チャンネルトランジスタ 7 5 b および P チャンネルトランジスタ 7 5 d がオフ状態になるとともに、N チャンネルトランジスタ 7 5 c および N チャンネルトランジスタ 7 5 e もオフ状態に固定される。これにより、静電破壊防止用トランジスタ 7 2 および 7 3 からなる静電破壊対策用回路がオフ状態になる。

【 0 0 7 1 】

第 4 実施形態では、上記のように、静電破壊対策が必要な半導体チップの製造工程中では静電破壊防止用トランジスタ 7 2 および 7 3 からなる静電破壊対策用回路をオンにし、静電破壊対策が必要でなくなるチップ完成後のチップ間接続工程終了後では静電破壊対策用回路をオフに切り換えることができる。これにより、チップ間接続工程終了後では静電破壊対策用回路の寄生容量を削除することができ、その結果、信号伝達速度を向上させることができる。

【 0 0 7 2 】

また、第 4 実施形態では、上記のように、スイッチ制御用入出力端子 7 1 b に、静電破壊防止用トランジスタ 8 1 および 8 2 からなる静電破壊対策用回路が接続されているので、スイッチ制御用入出力端子 7 1 b の静電破壊も有効に防止することができる。

【 0 0 7 3 】

図 1 4 は、本発明の第 4 実施形態の変形例による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。図 1 4 を参照して、この第 4 実施形態の変形例では、図 1 3 に示した第 4 実施形態と同様、静電破壊防止用トランジスタ 7 6 および 7 7 からなる入出力端子 7 1 a の静電破壊対策用回路をオンオフするための静電破壊防止スイッチ 7 5 を設けている。

【 0 0 7 4 】

この場合、図 1 3 に示した第 4 実施形態では、静電破壊防止スイッチ 7 5 が 4 つのトランジスタ 7 5 b、7 5 c、7 5 d および 7 5 e によって構成されているのに対して、図 1 4 に示した第 4 実施形態の変形例では、静電破壊防止スイッチ 7 5 を 2 つのトランジスタ 7 5 b および 7 5 c によって構成している。これにより、寄生容量をさらに低減することができる。

【 0 0 7 5 】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【 0 0 7 6 】

たとえば、上記第 1 ～第 3 実施形態では、異なる機能を有するチップを同一平面上に配置する場合への適用例を示しているが、本発明はこれに限らず、異なる機能を有するチップを上下方向に配置する場合にも適用可能である。

【 0 0 7 7 】

また、上記第 1 ～第 3 実施形態では、チップ完成後の配線数が 1 層または 2 層の場合を示したが、本発明はこれに限らず、3 層以上の配線を用いる場合に適用しても同様の効果を得ることができる。

【 0 0 7 8 】

【発明の効果】

以上のように、本発明によれば、信号の伝達速度を向上させることができる。また、半導体チップの面積を減少させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体装置（マルチチップモジュール）を示した概略図である。

【図 2】

図 1 に示した第 1 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 3】

図 1 に示した第 1 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 4】

図 1 に示した第 1 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 5】

本発明の第 2 実施形態による半導体装置（マルチチップモジュール）を示した概略図である。

【図 6】

図 5 に示した第 2 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 7】

図 5 に示した第 2 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 8】

図 5 に示した第 2 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 9】

本発明の第 3 実施形態による半導体装置（マルチチップモジュール）を示した概略図である。

【図 10】

図 9 に示した第 3 実施形態による半導体装置（マルチチップモジュール）の構

成を説明するための回路図である。

【図 1 1】

図 9 に示した第 3 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 1 2】

図 9 に示した第 3 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 1 3】

本発明の第 4 実施形態による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 1 4】

本発明の第 4 実施形態の変形例による半導体装置（マルチチップモジュール）の構成を説明するための回路図である。

【図 1 5】

従来の半導体装置（マルチチップモジュール）を示した概略図である。

【図 1 6】

図 1 5 に示した従来の半導体装置（マルチチップモジュール）における半導体チップの入出力回路の構成を示した概略図である。

【符号の説明】

- 1 DRAMチップ（半導体チップ）
- 2 ロジックチップ（半導体チップ）
- 1 a、2 a、2 1 a、2 2 a、5 1 a、5 2 a 入出力端子（第 3 入出力端子）
- 1 b、2 b、2 1 b、2 2 b、5 1 b、5 2 b 入出力端子（第 2 入出力端子）
- 1 c、2 c、2 1 c、2 2 c、5 1 c、5 2 c 入出力端子（第 1 入出力端子）
- 2 1、2 2、4 1、4 2、6 1、6 2 静電破壊防止用トランジスタ
- 2 3、4 3、6 3 抵抗
- 7 1 a 入出力端子（一方の入出力端子）
- 7 1 b スイッチ制御用入出力端子（他方の入出力端子）
- 7 2、7 6 静電破壊防止用トランジスタ（第 1 トランジスタ）

7 3、7 7 静電破壊防止用トランジスタ（第 2 トランジスタ）

7 5 静電破壊防止スイッチ（スイッチ手段）

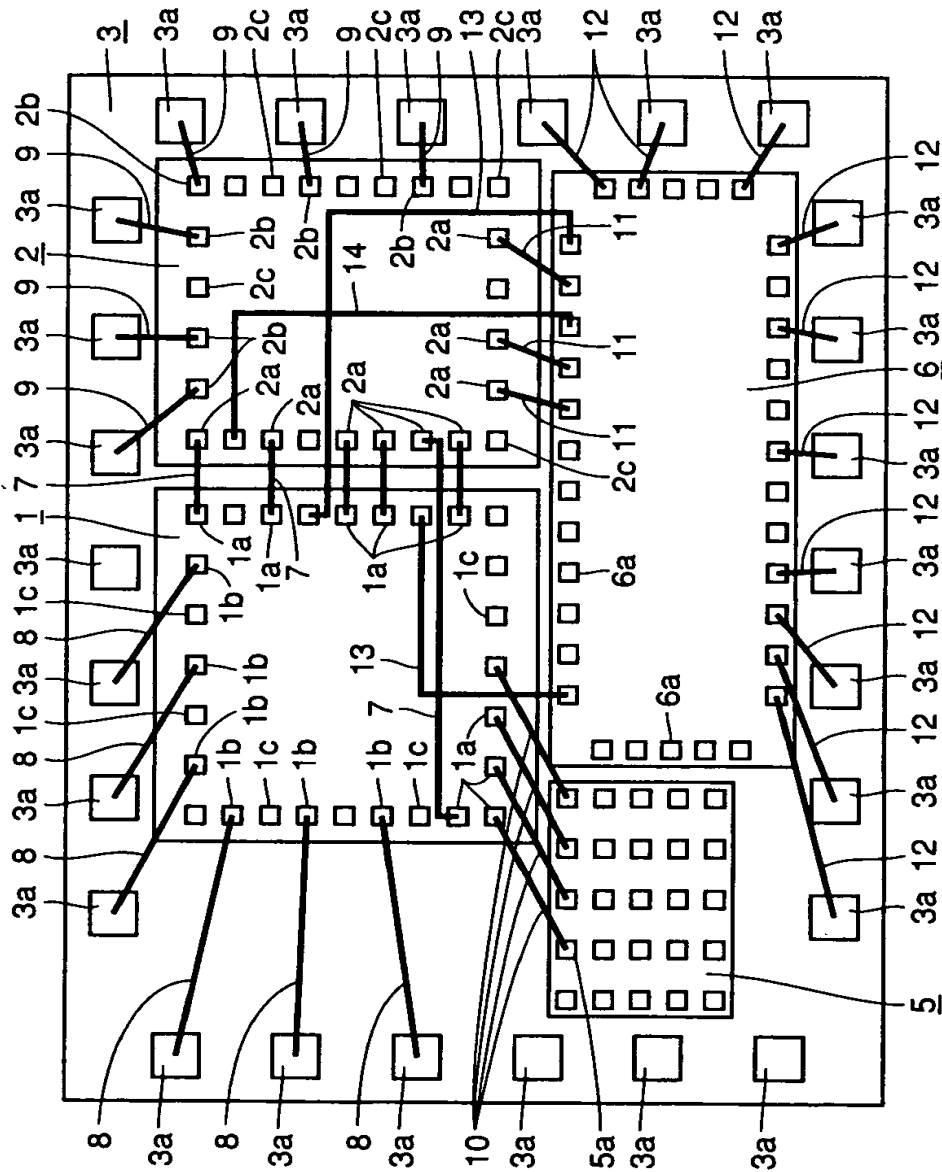
7 5 b Pチャネルトランジスタ（第 3 トランジスタ）

7 5 d Pチャネルトランジスタ（第 4 トランジスタ）

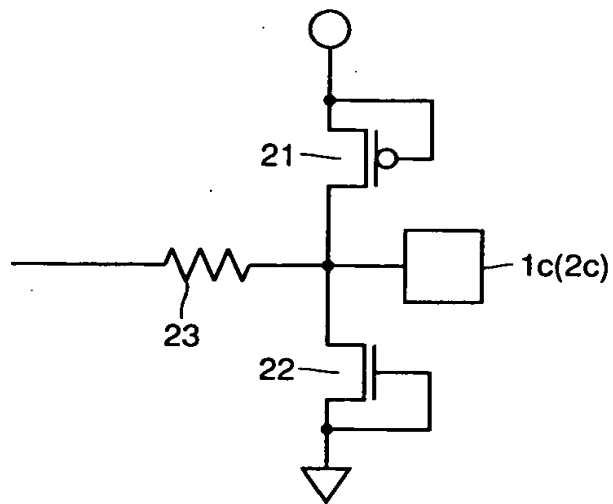
8 1、8 2 静電破壊防止用トランジスタ

【書類名】 図面

【図 1】



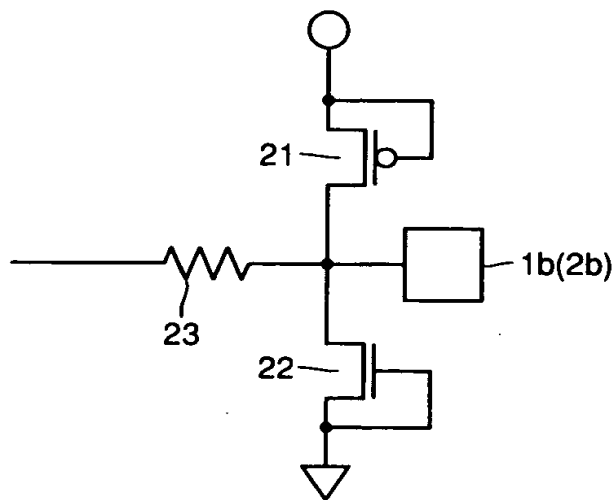
【図 2】



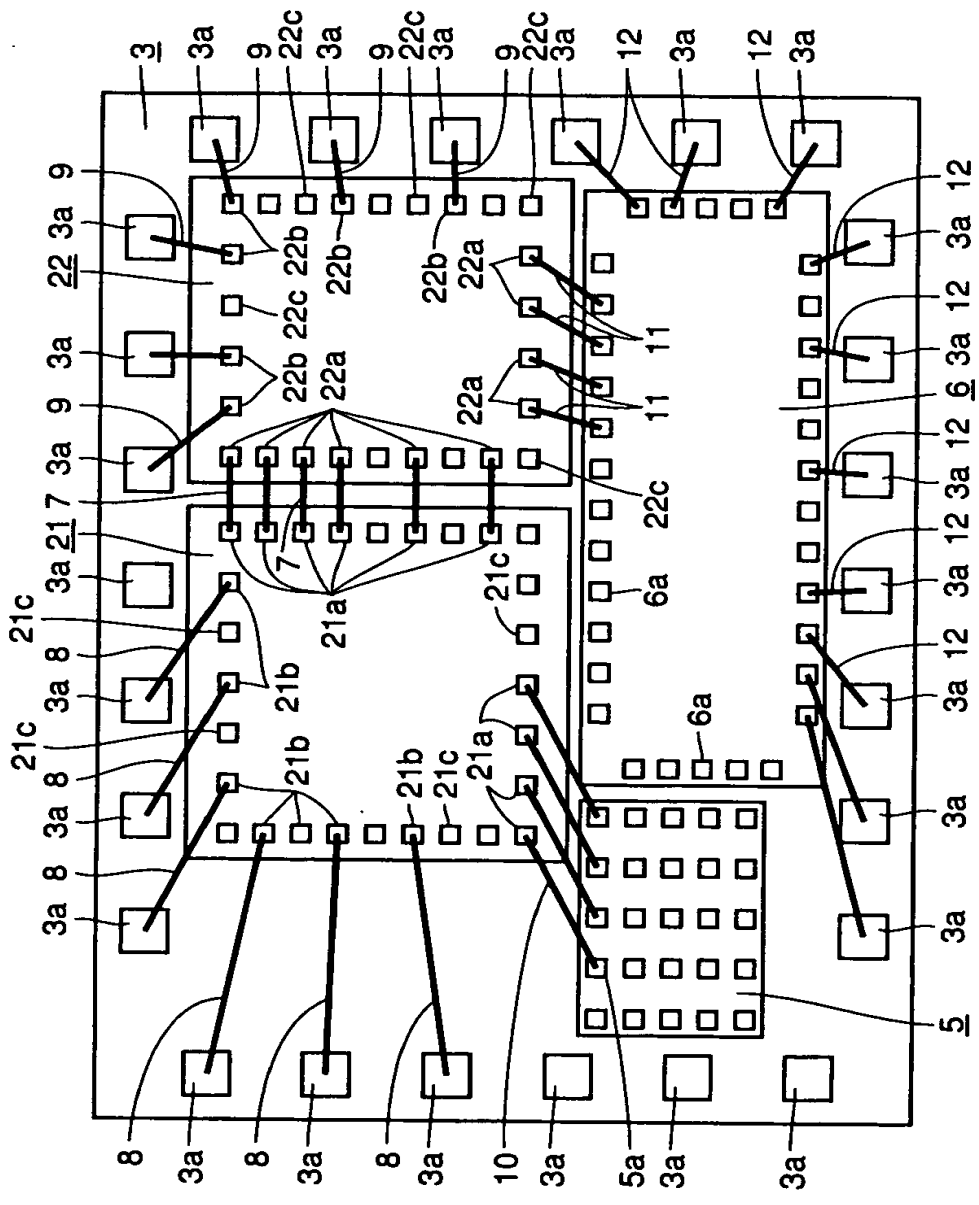
【図 3】



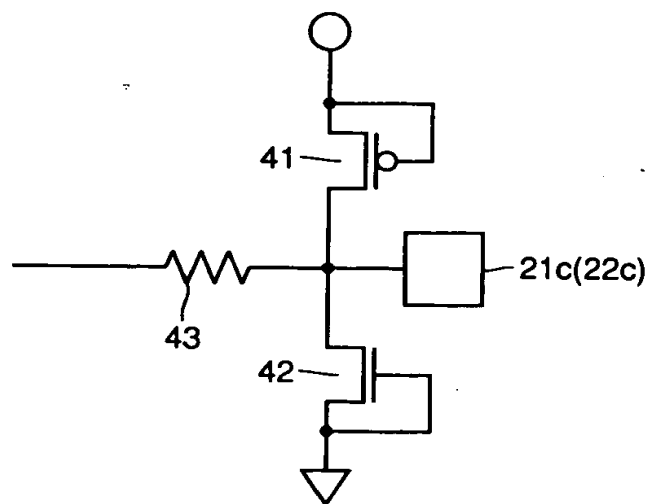
【図 4】



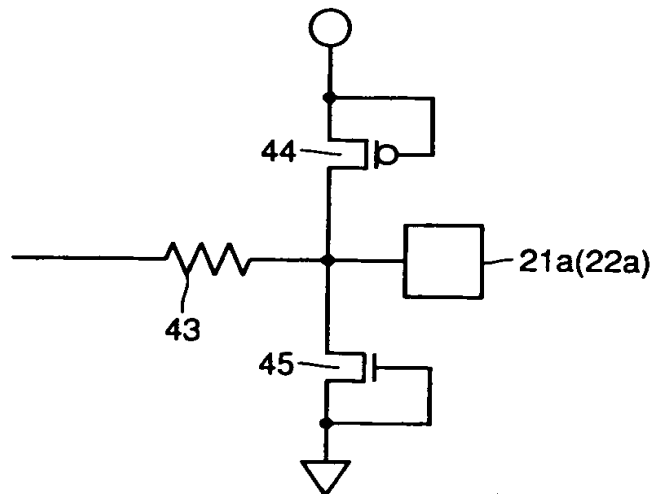
【図 5】



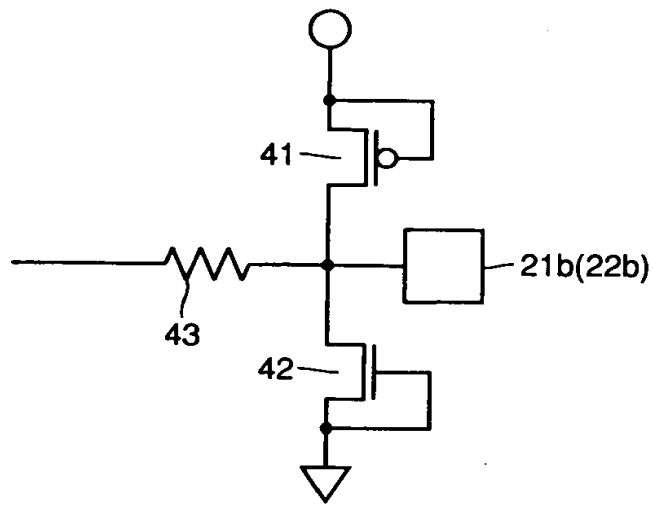
【図 6】



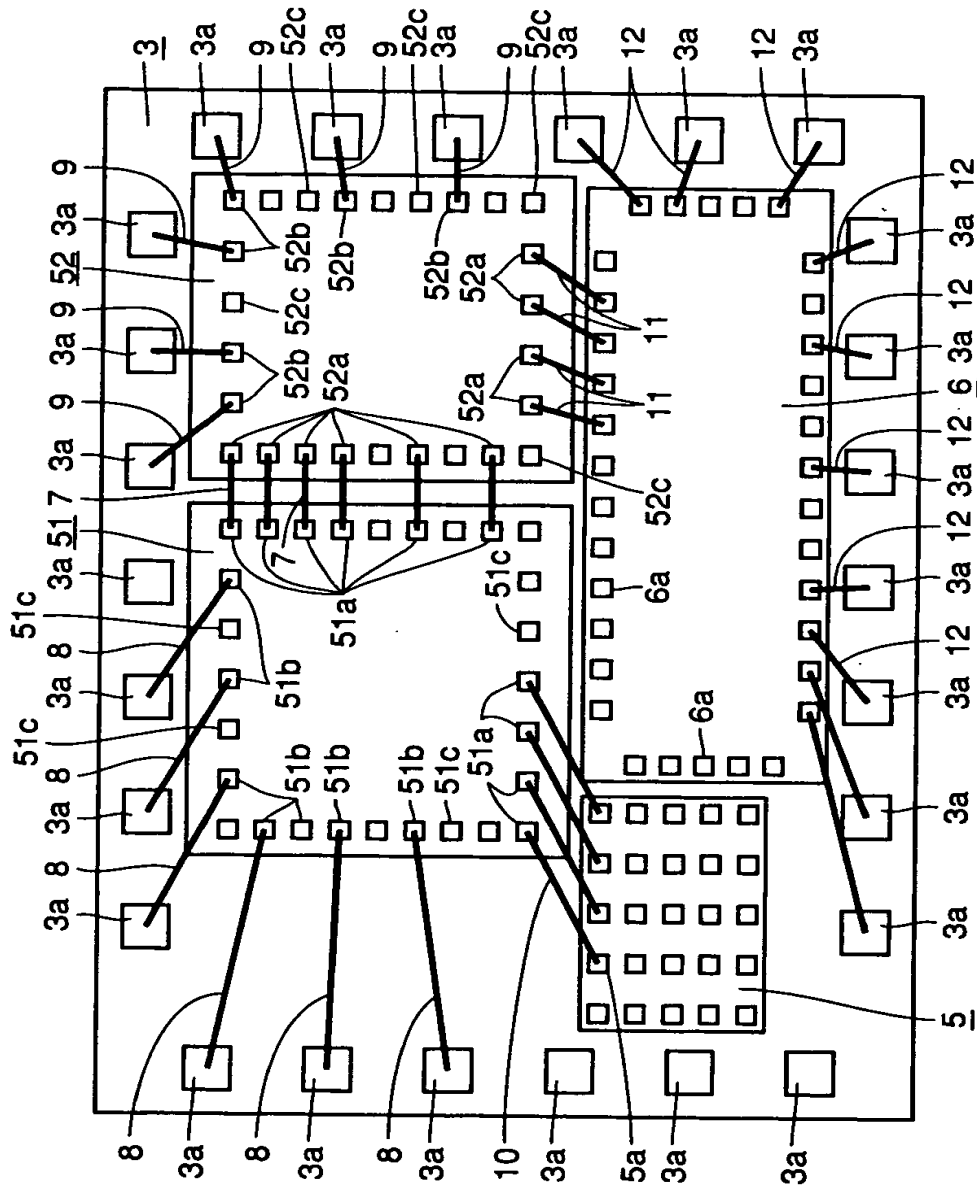
【図 7】



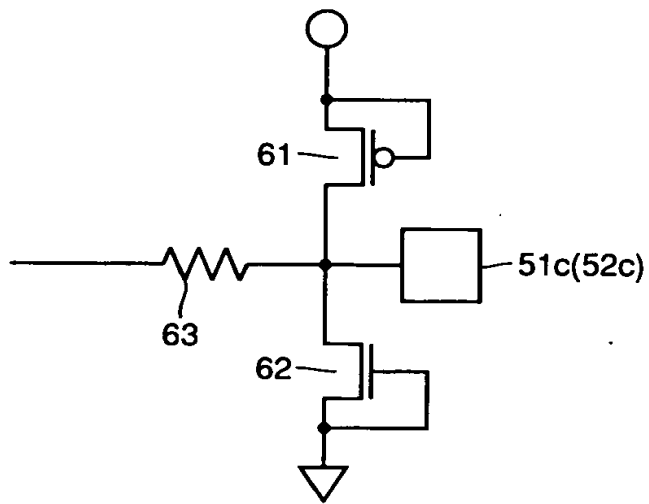
【図 8】



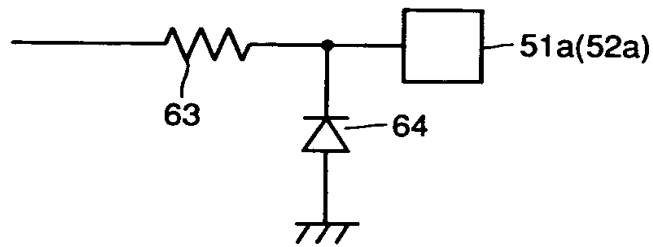
【图9】



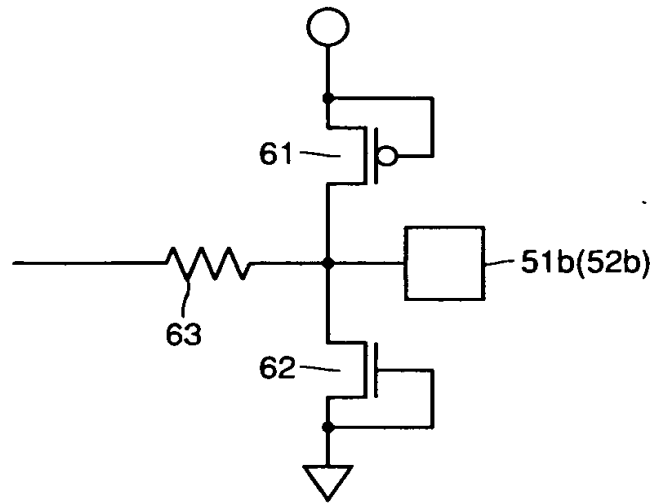
【図 1 0】



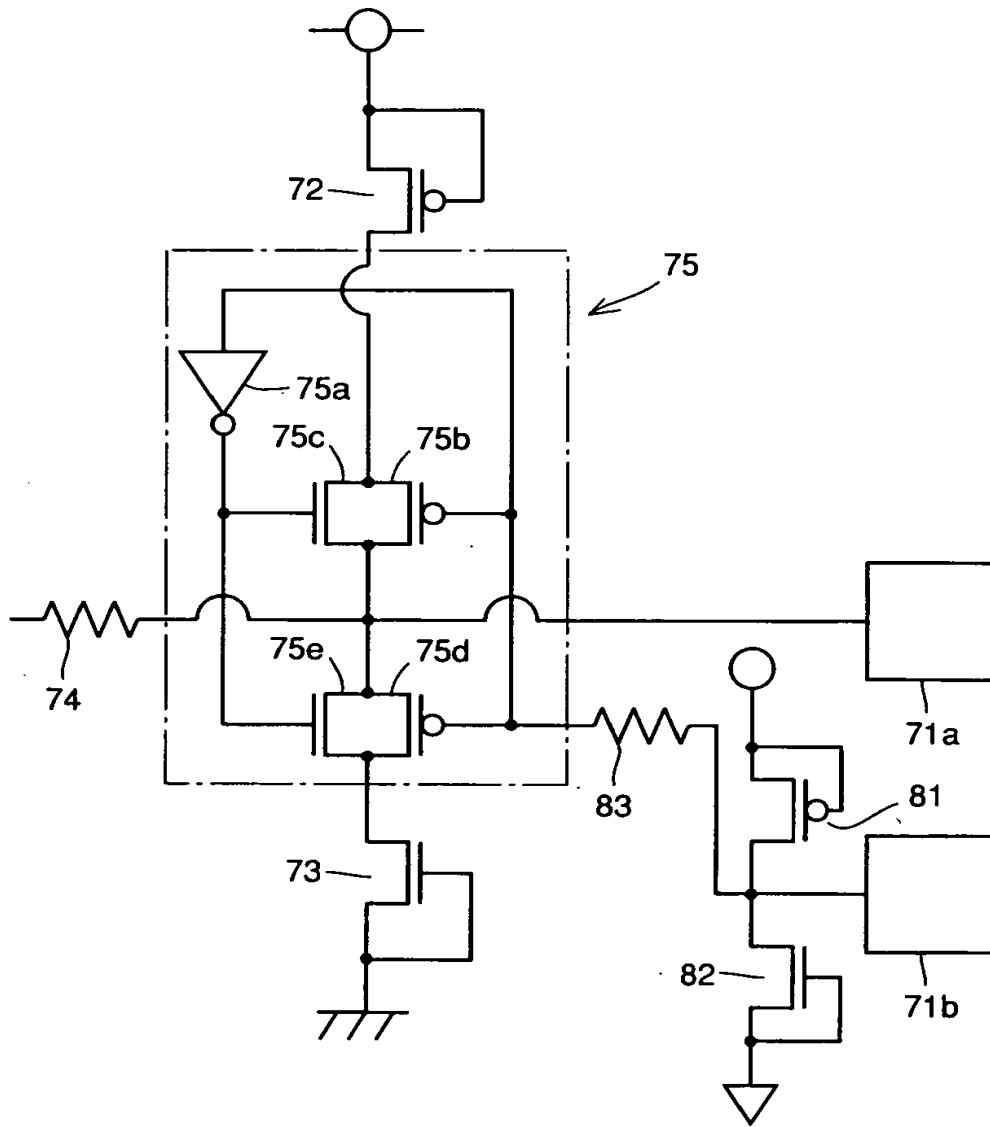
【図 1 1】



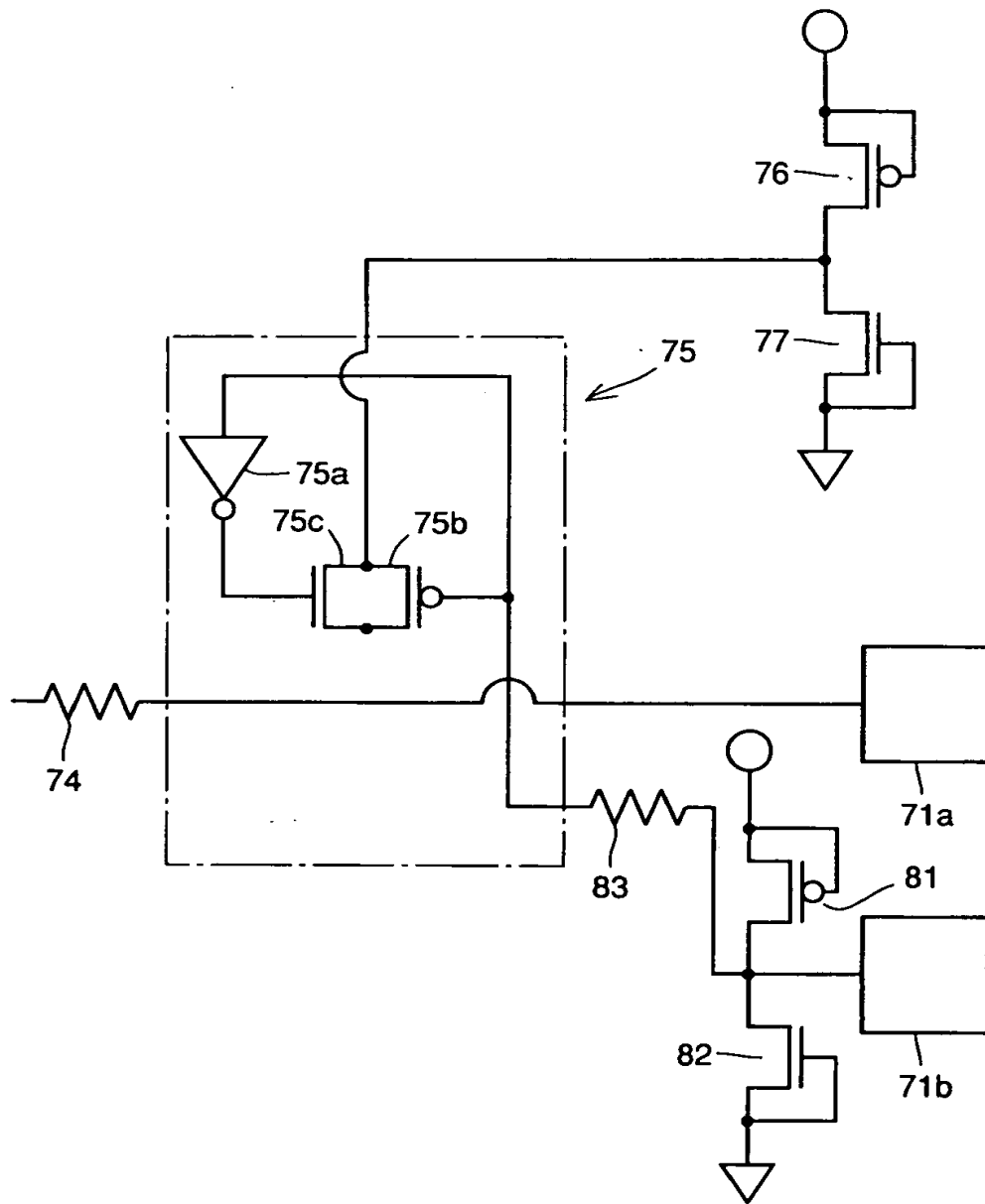
【図 1 2】



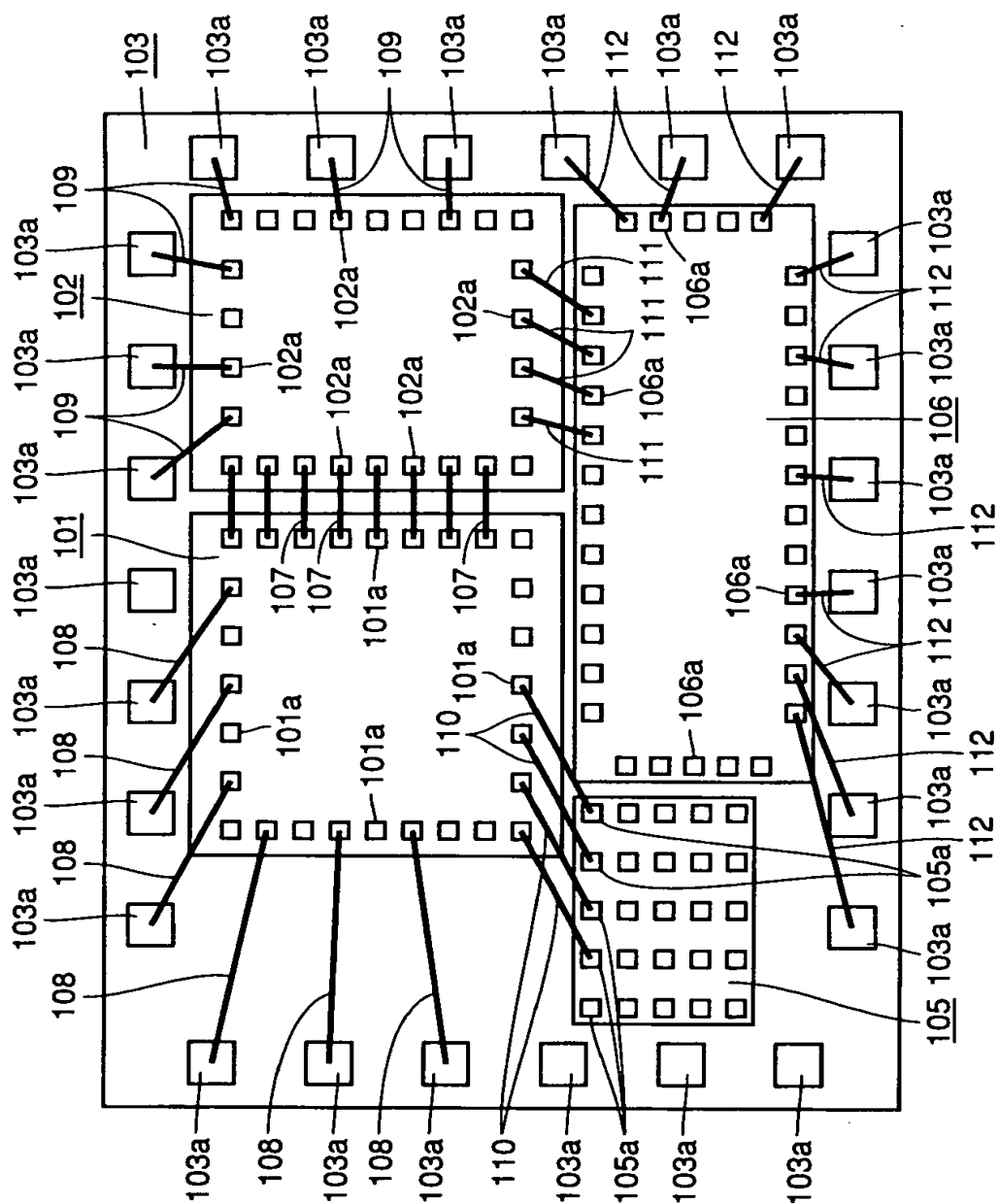
【図 1 3】



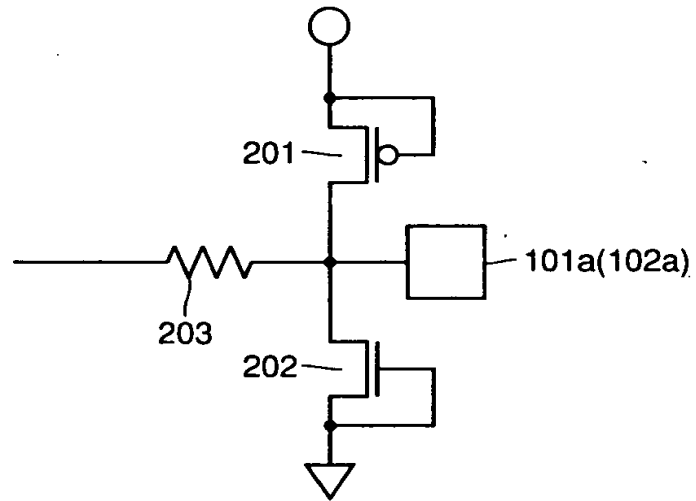
【図 1 4】



【図 15】



【図 1 6】



【書類名】

要約書

【要約】

【課題】 信号の伝達速度を向上させることが可能な半導体装置を提供する。

【解決手段】 D R A Mチップ 1 は、静電破壊対策用回路を有する試験用の入出力端子 1 c と、静電破壊対策用回路を有する支持基板接続用の入出力端子 1 b と、入出力端子 1 b および 1 c 以外の静電破壊対策用回路を有しない入出力端子 1 a とを含む。そして、D R A Mチップ 1 とロジックチップ 2 とを接続する際に、入出力端子 1 a を用いて接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社